

Ref. B

JP04149591 A
LIQUID CRYSTAL DRIVING CIRCUIT
NEC CORP

Abstract:

PURPOSE: To supply a selection reference voltage to a liquid crystal panel in response to a selector holding signal and to make a gradation display by selecting a half of reference voltage sources by a reference voltage selecting circuit and then supplying respective reference voltages to selectors. **CONSTITUTION:** The selectors 12a - 12n select one of reference voltages V1 - Vm corresponding to the holding signal and supply it to respective liquid crystal driving voltage output terminals T18a - T18n. At this time, reference voltage terminals T21 - T2m are applied with voltages selected with switches SW1 - SWm of the reference voltage selecting circuit 2, e.g. reference voltages V1+V2+,... Vm+ and the switches SW1 - SWm are switched, frame by frame, with frame switching input pulses vf. At this time, voltages for gradations which are supplied to the liquid crystal panel correspond to V1+ and V1-, V2+ and V2-, or... Vm+ and Vm-, so (m) of output transistors Q11 - Qm1, Q12 - Qm2,... Q1n - Qnm make an (m)-gradation display of each output on the liquid crystal and the chip area of an integrated circuit is made less than usual.

COPYRIGHT: (C) 1992, JPO&Japio

Inventor(s):

SAITO TADASHI

Application No. 02274783 JP02274783 JP, Filed 19901012, A1 Published 19920522

Original IPC(1-7): G09G00336

G02F001133 H04N00566

Ref. B

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-149591

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月22日

G 09 G 3/36
G 02 F 1/133
H 04 N 5/665 5 0
1 0 2 B7926-5C
8806-2K
7205-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 液晶駆動回路

⑯ 特 願 平2-274783

⑰ 出 願 平2(1990)10月12日

⑱ 発 明 者 齊 藤 正 東京都港区芝5丁目7番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 桑井 清一

明 細 書

1. 発明の名称

液晶駆動回路

2. 特許請求の範囲

入力した画像信号を転送するために、複数個がカスケードに接続されたシフトレジスタと、該シフトレジスタのそれぞれから転送された前記画像信号を保持して保持信号を出力する複数のラッチ回路とを有するセレクト駆動部と、

複数の基準電圧源から、1フレームに使う前記基準電圧源のうちの半数を選択するため基準電圧選択回路と、

前記基準電圧選択回路で選択された基準電圧源のうちから前記保持信号で指定された基準電圧源を選択してそれぞれ選択基準電圧として出力する複数のセレクトを含むことを特徴とする液晶駆動回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶表示装置を駆動する液晶駆動回路に関する。

〔従来の技術〕

アクティブマトリクス液晶パネルは、例えば、ディジタル画像信号を入力する駆動回路によって制御され、パネル上に画像を表示する。

第4図は従来の液晶駆動回路の一例を示すブロック図である。

m階調の画像データ入力パルスViは信号入力端子群T3から入力され、クロックパルス入力端子Tyに加わったクロックパルスVCに同期して、n段のシフトレジスタ10a~10nを転送される。また、ラッチパルス入力端子T7に加わったラッチパルスV_Lはシフトレジスタ10a~10nに対応するラッチ回路11a~11nに画像データ入力パルスをそれぞれ転送させる。

このようにしてラッチ回路11a~11nにラッチされた保持信号VL a~VL nはラッチ回路11

$a \sim 11n$ にそれぞれ対応するセレクトラ $12a \sim 12n$ で選択され、各液晶駆動電圧出力端子 $T18a \sim T18n$ に接続されている出力トランジスタ回路 $Q11 \sim Qm1 \sim Q1n \sim Qmn$ の m 個の構成トランジスタのうちの1つをオン状態にし、基準電圧端子 $T21 \sim T2m$ のうちの希望する基準電圧 $V1 \sim Vm$ のうち一つづつを m 階調の電圧として液晶ディスプレイパネルに供給している。

ところで一般に液晶パネルを駆動するには、液晶パネルの画素に対応する液晶セルに加わる電界を時間的に交替して駆動する必要がある。

従って、第4図の従来の実施例では実際の液晶ディスプレイパネルの表示に関する階調としては1階調につき $V1 \sim Vm$ の電源電圧のうちの2電源電圧の選択が必要なので、 $m/2$ の階調表示しかできない。

例えば、第4図の従来の実施例では、ある画像フレームでは $V1 \sim Vm/2$ までの電源電圧を選択し、次の画像フレームでは $Vm/2+1 \sim Vm$ までの電源電圧を選択して、 m 階調の表示をしている。

品駆動回路を提供することにある。

【課題を解決するための手段】

本発明に係る液晶駆動回路は、入力した画像信号を転送するために、複数がカスケードに接続されたシフトレジスタと、該シフトレジスタのそれぞれから転送された前記画像信号を保持して保持信号を出力する複数のラッチ回路とを有するセレクトラ駆動部と、複数の基準電圧源から、1フレームに使う前記基準電圧源のうちの半数を選択するため基準電圧選択回路と、前記基準電圧選択回路で選択された基準電圧源のうちから前記保持信号で指定された基準電圧源を選択してそれぞれ選択基準電圧として出力する複数のセレクトラを含む。

【発明の作用】

外部から供給された画像信号はシフトレジスタからラッチ回路に送られ保持信号を発生する。基準電圧選択回路は基準電圧源のうちの半数を選択

なお、一般に階調 m の数は16以上、段数 n の数は100以上である。

【発明が解決しようとする課題】

上述した従来の駆動回路では、階調数 m が多いと出力トランジスタ数が増えるため、シリコンチップ上に集積回路として構成する場合には、出力トランジスタでチップ面積のほとんどをしめてしまい、チップサイズが大きくなり、コスト高となるという問題点がある。

特に液晶パネルの画面が増大すれば、出力トランジスタの駆動能力をさらに高くする必要があるため、さらにチップサイズが大きくなり、集積回路に適さなくなる。

また、画像データ入力パルス V_i は、液晶パネルの階調表示 $m/2$ に対して、 m 個のデータを供給しなければならず、そのためコントロール回路の素子数も2倍必要となるという問題点があった。

したがって、本発明の目的は高集積化に連し、階調数の大きい入力データパルス进行处理できる液

可能にし、セレクトラにそれぞれの基準電圧を供給する。セレクトラは保持信号にตอบสนองして選択基準電圧を液晶パネルに供給し、階調表示を可能にする。

【実施例】

第1図は本発明の第1実施例を示すブロック図であり、第2図は第1図のブロックの各部信号の波形図である。

液晶駆動回路は、第4図に示した従来のセレクトラ駆動回路1と、 n 段のラッチ回路 $11a \sim 11n$ にラッチされた保持信号 $VL a \sim VL n$ にตอบสนองして基準電圧 $V1 \sim Vm$ のうちの一つを選択基準電圧として、選択するためのセレクトラ回路 $12a \sim 12n$ と、基準電圧源 $V1-$ と $V1+$ 、 $V2-$ と $V2+$ 、 \dots 、 $Vm-$ と $Vm+$ のどちらかを選択するための基準電圧選択回路2から構成される。

第2図に示すように、画像データ入力パルス v_i は信号入力端子群 $T3$ から入力されて、クロックパルス v_c により格段のシフトレジスタ $10a \sim 10n$ を転送され、ラッチ回路 $11a \sim 11n$ に入力す

るラッチパルス v_l により次の水平期間の間のデータが保持されている。

セレクト $12a \sim 12n$ は、保持信号に対応した基準電圧 $V1 \sim Vm$ の1つを選択し、各々の液晶駆動電圧出力端子 $T18a \sim T18n$ に供給する。すなわち、出力トランジスタ回路 $Q11 \sim Qm1 \sim Q1n \sim Qmn$ は保持信号に対応したトランジスタを1つ選択して、これをオン状態にし、基準電圧端子 $T21 \sim T2m$ を選択的に m 階調の電圧 $v01 \sim v0m$ として液晶パネルに与えている。

このとき、基準電圧端子 $T21 \sim T2m$ には基準電圧選択回路2のスイッチ $SW1 \sim SWm$ で選択された電圧、例えば基準電圧源 $V1+$ 、 $V2+$ 、 \dots 、 $Vm+$ が加えられている。

スイッチ $SW1 \sim SWm$ はフレーム切換入力パルス v_f により、1フレームごとに切り換わり、例えばフレーム切換入力パルス v_f がハイレベルの時基準電圧セレクト回路は基準電圧源 $V1+$ 、 $V2+$ 、 \dots 、 $Vm+$ を選択し、電源電圧端子 $T21 \sim T2m$ に加えられる。一方、フレーム切換入力パルス v_f が

能である。出力スイッチをトランジスタ1個で構成した第1実施例ではトランジスタのバックゲート電圧依存性のため、 $Vm+$ と $Vm-$ の基準電圧を切り換えた場合、出力オン抵抗が異なる。しかしながら、第2実施例では出力スイッチトランスファークロップとすることでトランスファークロップを構成するPチャンネル及びNチャンネルトランジスタが補償しあうので、オン抵抗の変化をおさえることができる。

〔発明の効果〕

以上説明したように本発明は、液晶パネルの階調表示をするために、ある1フレーム期間中には選択可能な基準電圧源のうちの半分を選択し、各段の出力トランジスタに供給し、各段ごとに転送されたデータ信号値により対応して上記基準電圧を選択する。したがって従来のような階調数分の2倍の出力トランジスタ数及びシフトレジスタ、ラッチ回路を必要とせず、構成トランジスタ数が半分近くまで減少するので、集積回路のチップ面

積を減少させることが可能である。また、セレクト駆動回路1も m 個分のデータで回路を構成可能なため1ビット分の回路を省略することが可能になる。

第3図は本発明の第2実施例のブロック図である。各々の液晶駆動電圧出力端子 $T18a \sim T18n$ に接続されている出力トランスファークロップスイッチ $TF11 \sim TFm1$ から $TF1n \sim TFmn$ の格段につき m 個のトランスファークロップスイッチのどれか1つずつをオン状態にする。

第1実施例と同様に m 個の出力トランスファークロップで液晶パネルを m 階調表示をすることが可能である。

第1実施例と同様に m 個の出力トランスファークロップで液晶パネルを m 階調表示をすることが可能である。

積を減少させることが可能である。

4. 図面の簡単な説明

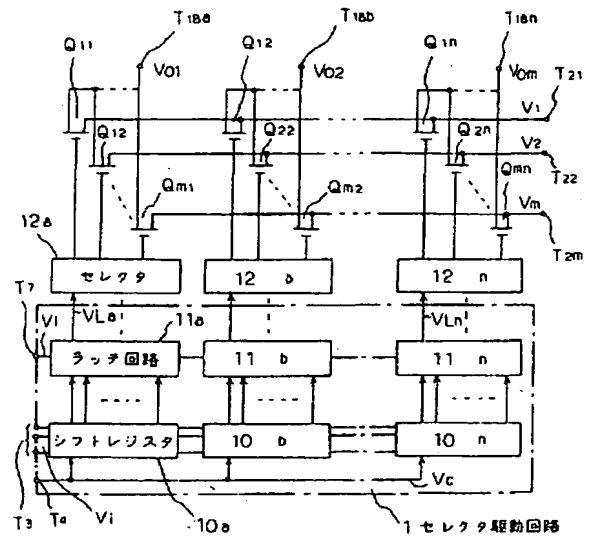
第1図は本発明の第1実施例を示すブロック図、第2図は第1実施例の各信号の波形図、第3図は本発明の第2実施例を示すブロック図、第4図は従来の液晶駆動回路を示すブロック図である。

- 1.....セレクト駆動回路、
- 2.....基準電圧選択回路、
- 10a~10n.....シフトレジスタ、
- 11a~11n.....ラッチ回路、
- 12a~12n.....セレクト、
- T18a~T18n.....液晶駆動電圧出力端子、
- T21~T2m.....基準電圧端子、
- V1~Vm.....基準電圧、
- V1+, V1-~Vm+, Vm-.....基準電圧源、
- SW1~SWm.....スイッチ、
- T3.....信号入力端子群、
- T4.....クロックパルス入力端子、
- T7.....ラッチパルス入力端子、

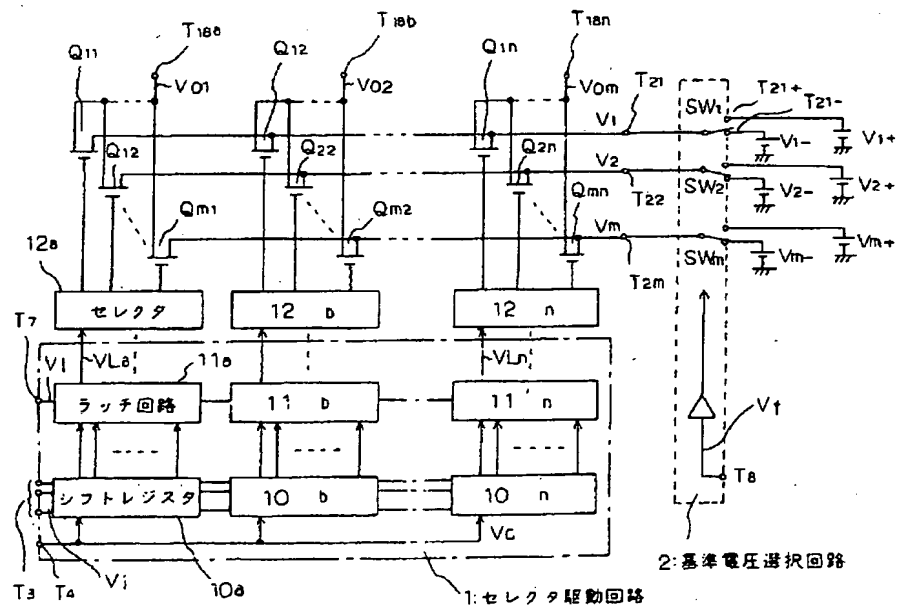
T8 フレーム切り換え入力端子、
 Q11 ~ Qmn 出力トランジスタ、
 TF11 ~ TFmn 出力トランスファークート。

特許出願人 日本電気株式会社

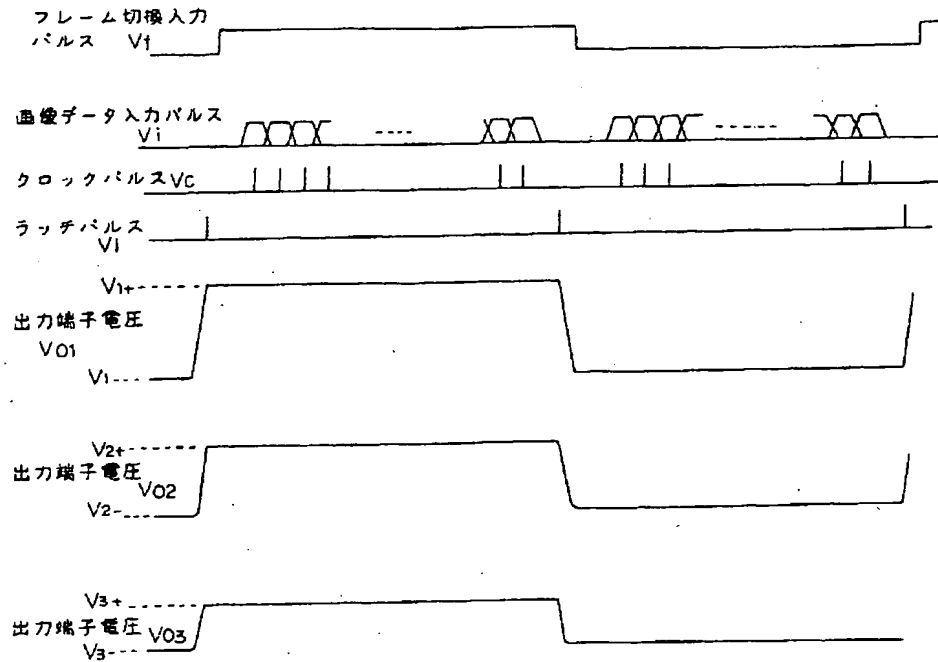
代理人 弁理士 桑井 清一



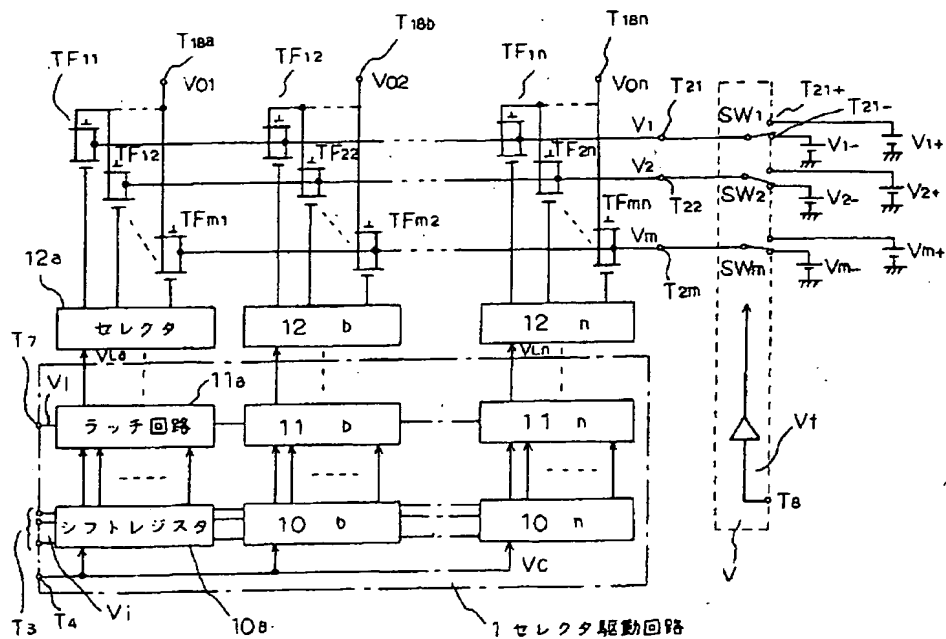
第 4 図
従来例のブロック図



第 1 図
第 1 実施例のブロック図



第 2 図
第 1 実施例の信号波形図



第 3 図
第 2 実施例のブロック図